

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 8日

出 願 番 号

Application Number:

特願2002-325769

[ST.10/C]:

[JP2002-325769]

出 願 人

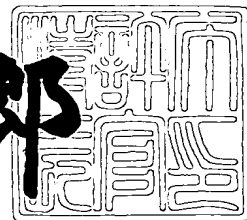
Applicant(s):

沖電気工業株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035400

【書類名】 特許願

【整理番号】 OH003754

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

 【氏名】 山田 茂

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100085419

 【弁理士】

 【氏名又は名称】 大垣 孝

【手数料の表示】

 【予納台帳番号】 012715

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001068

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体チップ上に、該半導体チップに設けられている電極パッドと電氣的に接続され、かつ該半導体チップの主表面と実質的に直交するように突出する突出部を有する配線部を設けて第 1 積層体を形成する第 1 積層体形成工程と、

前記主表面の外形寸法よりも大きな搭載面を有する仮基板の当該搭載面上に、前記半導体チップの搭載領域から該半導体チップの非搭載領域へと延在され、かつ前記配線部と接触される配線層を設けて第 2 積層体を形成する第 2 積層体形成工程と、

前記配線部が有する前記突出部と前記配線層とを接合する接合工程と、

然る後、前記第 1 積層体と前記配線層とを封止層で覆い、前記第 1 積層体及び前記第 2 積層体を含む第 3 積層体を形成する第 3 積層体形成工程と、

前記第 3 積層体から前記仮基板を剥離する剥離工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、前記第 2 積層体形成工程の前に、前記仮基板の搭載面の表層として絶縁層を形成し、及び該絶縁層の表面に対して前記封止層との密着性を低下させるための第 1 の表面改質工程を行うことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 に記載の半導体装置の製造方法において、前記第 1 の表面改質工程は、前記絶縁層の表面に対する灰化处理を含むことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 ないし 3 のいずれか一項に記載の半導体装置の製造方法において、前記第 1 積層体形成工程は、前記半導体チップ上に、前記電極パッドの表面が露出されるように絶縁膜を形成し、然る後、前記配線部を、前記電極パッドの露出された表面と電氣的に接続されるように導体部材で形成し、及び前記第 2 積層体形成工程後であって前記第 3 積層体形成工程の前に、前記絶縁膜の表面に対して前記封止層との密着性を上昇させるための第 2 の表面改質工程を

行うことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 に記載の半導体装置の製造方法において、前記第 2 の表面改質工程は、前記絶縁膜の表面に対する極性基導入処理を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 ないし 5 のいずれか一項に記載の半導体装置の製造方法において、前記接合工程の後であって前記第 3 積層体形成工程の前に、前記配線部及び前記配線層のそれぞれ露出されている表面に対して前記封止層との密着性を上昇させるための第 3 の表面改質工程を行うことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法において、前記第 3 の表面改質工程は、前記配線部及び前記配線層のそれぞれ露出されている表面に対する酸化処理を含むことを特徴とする半導体装置の製造方法。

【請求項 8】 電極パッドが形成された第 1 主表面を有する半導体チップを準備する工程と、

前記電極パッドに電氣的に接続され、前記第 1 主表面と実質的に直交する突出部を有する第 1 配線部を、前記第 1 主表面上に形成する工程と、

前記半導体チップの外形寸法と実質的に等しい第 1 領域と前記第 1 領域を囲む第 2 領域とを有する第 2 主表面を具える仮基板を準備する工程と、

前記第 1 領域から前記第 2 領域へと延在する第 1 配線層を、前記第 2 主表面上に形成する工程と、

前記半導体チップの第 1 主表面と前記仮基板の第 2 主表面とを対面させ、前記第 1 配線部と前記第 1 配線層とを接合する工程と、

前記半導体チップと前記仮基板との間を樹脂封止する工程と、

前記仮基板を除去する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 電極パットをその主表面に具える半導体チップと、

前記電極パッドと電氣的に接続され、前記主表面と実質的に直交する突出部を有する配線部と、

該配線部と電氣的に接続される配線層と、

前記半導体チップの周囲と主表面とを、前記配線層の表面を露出させるようにして、埋め込んでいる封止層とを備えており、

前記配線層は、前記封止層の表面に設けられていて、該封止層の表面の領域のうち、前記主表面の直上の領域から該直上の領域から外れた外側の領域へと延在していることを特徴とする半導体装置。

【請求項 1 0】 請求項 9 に記載の半導体装置において、前記外側の領域に設けられて、かつ前記配線層の該外側の領域へと延在している部分と電氣的に接続されている外部端子を具えていることを特徴とする半導体装置。

【請求項 1 1】 請求項 9 または 1 0 に記載の半導体装置において、前記封止層には該封止層の表裏を貫通する導体部が形成されているとともに、前記導体部の一端は前記配線層と電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 2】 請求項 1 1 に記載の半導体装置において、前記導体部の他端には、該他端と電氣的に接続される他の半導体装置が前記半導体チップの厚み方向に積層されていることを特徴とする半導体装置。

【請求項 1 3】 請求項 1 1 または 1 2 に記載の半導体装置において、前記半導体チップの前記主表面と対向する裏面には導電層が形成されており、該導電層は前記導体部の他端と電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 4】 第 1 及び第 2 電極パッドをその主表面に具える半導体チップと、

前記第 1 電極パッドと電氣的に接続され、前記主表面と実質直交する第 1 突出部を有する第 1 配線部と、

前記第 2 電極パッドと電氣的に接続され、前記主表面と実質直交する第 2 突出部を有する第 2 配線部と、

前記第 1 配線部と電氣的に接続される第 1 配線層と、

前記第 2 配線部と電氣的に接続される第 1 導電部と、

前記半導体チップの周囲と主表面とを、前記第 1 配線層及び第 1 導電部の表面のそれぞれを露出させるようにして、覆っている封止層とを具えており、

前記第 1 配線層は、前記封止層の表面に設けられていて、該封止層の表面の領域うち、前記主表面の直上の領域から該直上の領域から外れた外側の領域へと延

在し、

前記第 1 導電部は、前記封止層の表面に設けられていて、該封止層の表面領域のうち、前記主表面の直上領域内に延在している
ていることを特徴とする半導体装置。

【請求項 1 5】 請求項 1 4 に記載の半導体装置において、前記外側の領域に設けられていて、かつ前記第 1 配線層の該外側の領域へと延在している部分と電氣的に接続されている第 1 外部端子と、

前記直上の領域に設けられ、かつ前記第 1 導電部と電氣的に接続されている第 2 外部端子とを具えており、

隣り合う前記第 1 外部端子間の距離は、隣り合う前記第 2 外部端子間の距離よりも長いことを特徴とする半導体装置。

【請求項 1 6】 請求項 1 5 に記載の半導体装置において、前記第 1 外部端子の直径は前記第 2 外部端子の直径よりも大きいことを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、パッケージ構造を有する半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、携帯機器等の電子機器に搭載される半導体装置の小型化、高密度化及び伝送信号の高周波化が益々求められている。これに伴い、半導体チップの外形サイズとほぼ同じ外形サイズにパッケージングが施された半導体装置である C S P (C h i p S i z e P a c k a g e) が注目されている。

【0 0 0 3】

近年、特に、製造コストの低減化等の目的から、ウェハ状態のまま外部端子形成工程までを完了させた後、ダイシング等によって個片化された C S P である、W C S P (W a f e r l e v e l C h i p S i z e P a c k a g e) の技術開発が盛んに行われている（例えば、非特許文献 1 参照）。

【0 0 0 4】

このWCSPには、半導体チップ上の電極パッドと外部端子とを、当該外部端子を所望位置に再配置させる配線層を介して電氣的に接続させた構造を有するものがある。この配線層は、再配線層或いは、パターンニング形成されているので、配線パターンとも称する。

【0005】

こうした再配線層を有するWCSPは、再配線層によって配線設計の自由度を向上させることができる利点を有している。

【0006】

その一方で、近年、高密度実装の実現のため、1つのパッケージ内に複数のチップを平面的に配置または半導体チップの厚み方向に積層（スタック）させた、スタックドパッケージ型のMCP（Multi Chip Package）が実用化されつつある（例えば、非特許文献2参照）。

【0007】

また、実装密度をさらに高める構造として、現在、複数のパッケージを半導体チップの厚み方向に積層させる、パッケージ積層（スタック）型のMCPが提案されている（例えば、非特許文献3参照）。

【0008】

【非特許文献1】

日経マイクロデバイス、1999年2月号、p. 48-56、図1、図4）

【非特許文献2】

日経マイクロデバイス、2000年2月号、p. 50-52、図1）

【非特許文献3】

Amkor Technology社のe t CSPTM、インターネット<URL:>

【0009】

【発明が解決しようとする課題】

しかしながら、上述したような再配線層を有するWCSPは、既に説明したようにパッケージの外形寸法が半導体チップの外形寸法と実質的に同一であるため、実装面上に配置できる外部端子数が制約される。

【 0 0 1 0 】

より詳細には、現状の W C S P は、ファンイン構造、すなわち、外部端子が半導体チップ上方に配置される構造であるため、配置できる外部端子数は最大でも 1 6 0 個（ピン）程度であり、このときの当該外部端子同士の最小間隔（ピッチ）は 0. 5 m m 程度である。

【 0 0 1 1 】

近年の高集積化に伴う多ピン化の要求に対応するためには、外部端子同士の最小間隔を、例えば、0. 4 m m 程度までに狭めることが必要となる。

【 0 0 1 2 】

しかし、外部端子同士の間隔を 0. 4 m m 程度とすることは技術的には可能ではあるが、実装基板に実装する際に高度な実装技術を必要とするため望ましくない。

【 0 0 1 3 】

また、3 0 0 ピン程度の多ピンクラスの場合には、外部端子の間隔をどんなに狭めたとしてもこれらピンを実装基板に配置することは困難な場合がある。

【 0 0 1 4 】

そこで、配線基板上に半導体チップを搭載したパッケージであって、外部端子を配線基板の裏面全体に配置できる構造とした、ワイヤボンディング（以下、単に W B と称する場合もある。）方式採用の B G A （ B a l l G r i d A r r a y ）や L G A （ L a n d G r i d A r r e y ）が提案されている。

【 0 0 1 5 】

しかしながら、ワイヤボンディング（以下、単に W B と称する場合もある。）方式が通常採用されるこれら構造の場合には、W B 部分のインダクタンスが高いため、半導体チップ内の回路とのインピーダンス整合を図るのが困難である。また、ボンディングパッドを具える配線基板等が必要であるため、パッケージが厚くなるだけでなく製品コストの増大を招いてしまう。

【 0 0 1 6 】

一方、ワイヤレスボンディングとしてフリップチップ方式が提案されているが、半導体チップ上のパッド（電極パッド）同士の間隔が 0. 1 m m 以下となるこ

とから高価なビルドアップ基板を必要とするうえに、フリップボンディングの加工に長時間を要するため量産には適さない。

【 0 0 1 7 】

また、上述したようなスタックドパッケージ型のMCPにおいても、WB方式を採用した構造の場合には、既に説明したのと同様に、WBに起因するインダクタンスの増大やパッケージ外形及びパッケージ厚の増大等の問題が発生する。

【 0 0 1 8 】

また、上述したようなパッケージ積層型のMCPにおいても、WB方式を採用した構造の場合には、既に説明したのと同様に、WBに起因するインダクタンスの増大やパッケージ外形及びパッケージ厚の増大等の問題があるだけでなく、当該MCPをファンイン構造とすることができないため、MCPの多ピン化には不向きとされている。

【 0 0 1 9 】

そこで、この発明の目的は、今後さらにその適用範囲の拡大が切望されるWCSP構造に基づいて、その実装面を拡げることにより多ピン化を実現できるとともに、従来よりも小型化（パッケージサイズの小型化及び薄型化）が図れ、且つ、パッケージ積層型MCP等を設計できる半導体装置及びその製造方法を提供することにある。

【 0 0 2 0 】

【課題を解決するための手段】

そこで、この発明の半導体装置の製造方法は、下記のような構成上の特徴を有する。

【 0 0 2 1 】

すなわち、半導体チップ上に、この半導体チップに設けられている電極パッドと電氣的に接続され、かつ半導体チップの主表面と実質直交するように突出する突出部を有する配線部を設けて第1積層体を形成する第1積層体形成工程と、半導体チップの主表面の外形寸法よりも大きな搭載面を有する仮基板の当該主表面上に、半導体チップの搭載領域から半導体チップの非搭載領域へと延在され、かつ配線部と接触される配線層を設けて第2積層体を形成する第2積層体形成工程

と、配線部が有する突出部と配線層とを接合する接合工程と、第1積層体と配線層とを封止層で覆い（封止）、第1積層体及び第2積層体を含む第3積層体を形成する第3積層体形成工程と、第3積層体から仮基板を剥離する剥離工程とを含んでいる。

【0022】

また、この発明の半導体装置は、下記のような構成上の特徴を有する。

【0023】

すなわち、この発明の半導体装置は、先ず、半導体チップの主表面には電極パッドが形成されており、この電極パッドの表面は絶縁膜に形成された開口部から露出されている。そして、この電極パッドと電氣的に接続される配線部が半導体チップの主表面と実質直交するように突出されている。この配線部は配線層と電氣的に接続されている。そして、この半導体チップの周囲及び主表面は、当該配線層の表面を露出させるように設けられた封止層に埋め込まれている。

【0024】

そして、この発明では、当該配線層は、封止層の表面に設けられていて、封止層の表面の領域のうち、半導体チップの主表面の直上の領域から当該直上の領域から外れた外側の領域へと延在するように設けられている。

【0025】

上述したこれらの構成によれば、半導体チップ上方の領域（ファンイン部）はもとより半導体チップ上方以外の領域（ファンアウト部）にも外部端子を配置できる構造となるため、通常のWCSPに比べて多ピン化に対応可能なファンアウト構造の半導体装置を得ることができる。

【0026】

また、こうして得られる半導体装置は、半導体チップと外部端子とを上述したような再配線層を介して電氣的に接続することができるので、WB方式を採用する構造に比べて優れた高周波特性を有するものとなる。

【0027】

また、さらにこれらの構成によれば、本来半導体装置を保護する目的で形成する埋設層（封止層）によって、配線層基材（インターポーザ）を兼用させた構成

とすることができる。

【0028】

よって、従来のファンアウト構造（WB方式等）の場合のように、信号の伝送経路（配線）が複数の材料と境界を形成することを回避できる。

【0029】

その結果、信号の伝送経路と境界を形成する材料が複数であることに起因して発生していた応力の集中等を抑制できるので、周辺環境等に拘わらず高い信頼性を有する半導体装置となる。

【0030】

さらに、この半導体装置の製造方法によれば、第1積層体及び第2積層体を形成するに当たり同一のWCSP配線プロセスを適用できるので新たな設備投資を抑制できるうえに、半導体装置が具える配線層を第2積層体側から第1積層体への転写によって精度良く形成できるので、製品コストの低減を図ることができる。

【0031】

【発明の実施の形態】

以下、図1から図9を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明に係る半導体装置の一構成例を概略的に示してある。また、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、この発明をこれら図示例に限定するものではない。また、図を分かり易くするために、断面を示すハッチング（斜線）は一部分を除き省略してある。また、以下の説明において、特定の材料及び条件等を用いることがあるが、これら材料及び条件は好適例の一つに過ぎず、従って、何らこれらに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。また、以下の説明では、半導体装置や半導体チップの平面形状を四角形として説明するが、これらの形状は設計に応じて任意好適な形状とすることが出来る。

【0032】

<第1の実施の形態>

図 1 から図 4 を参照して、この発明の第 1 の実施の形態に係る半導体装置およびその製造方法につき説明する。図 1 (A) は、この実施の形態の半導体装置 1 0 を概略的に示す平面図である。また、図 1 (B) は、図 1 を破線部分 P - P' 線に沿って切断して得られる切り口 (断面) を図中矢印方向から見た概略断面図である。尚、図 1 (A) では、図中破線 Q で囲まれた領域 (以下、Q 領域と称する。) を除き、第 1 配線層 (第 1 再配線層) 2 0、第 2 配線層 (第 2 再配線層) 2 1、第 1 外部端子 (第 1 半田ボール) 2 2 及び第 2 外部端子 (第 2 半田ボール) 2 4 の配置関係の図示を省略してある (以下の各実施の形態についても同様)。図中、第 1 配線層 2 0 は太い実線で示され、また、第 2 配線層 2 1 は太い破線で示されている。

【 0 0 3 3 】

図 1 (A) に示すように、この発明の半導体装置 1 0 は半導体チップ 1 5 を具え、この半導体チップ 1 5 には回路素子が形成されている。この半導体チップ 1 5 の主表面上には、複数の電極パッドが設けられている。電極パッドとして、例えば、アルミニウム (A l) からなる第 1 及び第 2 電極パッド (1 4 a、1 4 b) が半導体チップ 1 5 の外周に沿って所定間隔毎に配置されている。尚、図 1 (A) に示す例では、半導体チップ 1 5 の平面形状は四角であるので、当該四角の各辺に沿ってこれら第 1 及び第 2 電極パッド (1 4 a、1 4 b) を直線状に配列させているが、電極パッド 1 4 の配置個数と位置はこれに限られず、例えば、半導体チップ 1 5 上に一組だけ対向配置された場合等であっても良い (以下の各実施の形態についても同様である)。

【 0 0 3 4 】

この構成例では、図中 Q 領域に示すように、第 1 電極パッド 1 4 a と、この第 1 電極パッド 1 4 a と接続関係が指定されている、すなわちこの第 1 電極パッド 1 4 a に対応する第 1 半田ボール 2 2 とが、例えば、銅 (C u) からなる第 1 及び第 2 再配線層 (2 0、2 1) を介して電氣的に接続されている。同時に、第 2 電極パッド 1 4 b とそれに対応する第 2 半田ボール 2 4 とが第 2 再配線層 2 1 を介して電氣的に接続されている。

【 0 0 3 5 】

より具体的には、図 1 (B) に示すように、半導体チップ 1 5 上に、これら電極パッド (1 4 a、1 4 b) (ここでは、第 1 電極パッド 1 4 a のみが図示されている。) の表面、例えば、パッドの頂面を露出させるようにパッシベーション膜 1 1 及び保護膜 1 3 を順次に具える絶縁膜 1 6 が形成されている。ここでは、例えば、パッシベーション膜 1 1 をシリコン酸化膜 (SiO_2) とし、保護膜 1 3 を半導体チップ 1 5 に対する衝撃や応力集中を緩和するポリイミド樹脂膜のような低硬度な膜とする。

【 0 0 3 6 】

第 1 電極パッド 1 4 a の各々は、第 1 配線部 3 5 の各々と電氣的に接続されている。それぞれの第 1 配線部 3 5 は、専用の第 2 再配線層 2 1 と、半導体チップの主表面 1 5 a と実質的に直交する第 1 突出部 (第 1 ポスト部) である第 2 導電部 2 6 とを具えた構成である。また、各第 1 配線部 3 5 は、第 1 配線部 3 5 の突出方向と実質直交する第 1 方向 (図中、矢印 a 方向) に延在している第 1 再配線層 2 0 と電氣的に接続されている。この構成例では、第 1 電極パッド 1 4 a と第 1 半田ボール 2 2 との間に第 2 再配線層 2 1 が介在された構成であるが、例えば、第 1 電極パッド 1 4 a の直上に形成された第 1 ポスト部 2 6 に第 1 再配線層 2 0 が接続された構成であっても良く、目的や設計等に応じて任意に選択可能である。

【 0 0 3 7 】

また、第 2 電極パッド 1 4 b (図 1 (A) 参照) の各々は、第 2 配線部 3 7 の各々と電氣的に接続されている。それぞれの第 2 配線部 3 7 は、専用の第 2 再配線層 2 1 と、半導体チップの主表面 1 5 a と実質的に直交する第 2 突出部 (第 2 ポスト部) である第 2 導電部 3 2 とを具えた構成である。また、各第 2 配線部 3 7 は、第 1 再配線層 2 0 と同一材料からなる第 1 導電部 3 1 と電氣的に接続されている。

【 0 0 3 8 】

また、第 1 再配線層 2 0 の表面と第 1 導電部 3 1 の表面とが露出される高さまでエポキシ樹脂等が覆われており、封止層 4 0 が形成されている。好ましくは、これら双方の表面と封止層の表面とで平坦面を形成しているのが良い。

【 0 0 3 9 】

また、当該封止層 4 0 上に形成されたポリイミド樹脂等による表面保護膜 4 2 の開口から露出する第 1 再配線層 2 0 及び第 1 導電部 3 1 の露出表面には、実装基板（プリント基板）（不図示）等への接続用パンプとなる、第 1 半田ボール（第 1 外部端子） 2 2 及び第 2 半田ボール（第 2 外部端子） 2 4 がそれぞれ形成されている。

【 0 0 4 0 】

この実施の形態では、上述した第 1 配線部 3 5 と接続される第 1 再配線層 2 0 は、第 1 再配線層 2 0 の延在方向（＝第 1 方向（図中、矢印 a 方向））に対して実質直交する第 2 方向（図中、矢印 b 方向）、すなわち、半導体チップの主表面 1 5 a に垂直な方向の上方から半導体チップ 1 5 を平面的に見たときに、半導体チップ 1 5 の平面的領域内からその領域の輪郭線の外側にまで延在されている。

【 0 0 4 1 】

このように設けられた第 1 再配線層 2 0 を利用することにより、第 1 半田ボール 2 2 を当該半導体チップ 1 5 の輪郭線の外側、すなわち、半導体チップ 1 5 外の領域の所望位置に配置できるので、ファンアウト構造を形成することができる。

【 0 0 4 2 】

さらに、この実施の形態では、絶縁膜 1 6 から突出している第 1 配線部 3 5 と第 1 再配線層 2 0 とが、封止層 4 0 という、同一の埋設層中に埋設されている。

【 0 0 4 3 】

従来のファンアウト構造（WB 方式等）の場合は、信号の伝送経路（配線）は複数の材料と境界を形成する構成であった。

【 0 0 4 4 】

そのため、従来の構成における伝送経路は、周辺環境の変動によって硬化収縮及び熱膨張或いは衝撃等の影響を受け、その結果、半導体装置の電気的特性が劣化する恐れがあった。

【 0 0 4 5 】

しかし、このように第 1 配線部 3 5 と第 1 再配線層 2 0 とを同一の埋設層（こ

こでは、封止層 4 0) 中に埋設することにより、信号の伝送経路との境界を構成する材料が単一となる。

【 0 0 4 6 】

よって、従来のように、信号の伝送経路と境界を形成する材料が複数であることに起因して発生していた応力の集中等を抑制できるので、周辺環境等に拘わらず高い信頼性を維持することができる。

【 0 0 4 7 】

さらに、このように、埋設層を半導体装置 1 0 を保護する目的で形成する封止層 4 0 とすることにより、ファンアウト構造を形成するための配線層基材（インターポーザ）に対応する部分と封止層とを同時形成できるので製造工程数の増大を抑制することができる（説明後述）。

【 0 0 4 8 】

この構成例での半導体チップ 1 5 のうち各第 1 電極パッド 1 4 a からの出力信号は、第 1 配線部 3 5 及び第 1 再配線層 2 0 を順次を経て第 1 半田ボール 2 2 に伝送される。また、各第 2 電極パッド 1 4 b からの出力信号は、第 2 配線部 3 7 及び第 1 導電部 3 1 を経て第 2 半田ボール 2 4 に伝送される。また、第 1 及び第 2 半田ボール（2 2、2 4）からの入力信号は、上述とは逆の経路を経て伝送される。

【 0 0 4 9 】

続いて、図 2 から図 4 を参照して、この半導体装置 1 0 の製造方法につき以下説明する。

【 0 0 5 0 】

先ず、第 1 積層体形成工程として、半導体チップ 1 5 上に、当該半導体チップ 1 5 と電氣的に接続され、半導体チップの主表面 1 5 a と実質直交する、すなわち主表面に実質的に鉛直に突出する、第 1 突出部（第 1 ポスト部）である第 2 導電部 2 6 と第 2 突出部（第 2 ポスト部）である第 2 導電部 3 2 とをそれぞれ形成する。

【 0 0 5 1 】

こうして、第 1 半導体チップ 1 5 上に、第 2 再配線層 2 1 及び第 2 導電部 2 6

を具える第 1 配線部 3 5 と、第 2 再配線層 2 1 及び第 2 導電部 3 2 を具える第 2 配線部 3 7 とを有する第 1 積層体 5 0 を形成する。周知の通り、それぞれの半導体チップ 1 5 には電極パッドが設けられている。尚、図 2 (A) ~ 図 2 (D) に示す構成例では、第 1 及び第 2 の、2 つの電極パッド 1 4 a、1 4 b が設けられているが、図には第 1 電極パッド 1 4 a のみを示してある。

【 0 0 5 2 】

この第 1 積層体 5 0 の形成に当たり、先ず、通常の不純物拡散処理等のウェハプロセスによって複数の回路素子を具える半導体チップ 1 5 が複数並設されたウェハ 2 3 上に、パッシベーション膜としてシリコン酸化膜 1 1 と保護膜としてのポリイミド樹脂膜 1 3 とを順次に設ける。これら膜の積層によって絶縁膜 1 6 を形成する。尚、図中には便宜上 2 個の半導体チップ 1 5 のみが図示されているが、これに限定されるものではない。

【 0 0 5 3 】

その後、絶縁膜 1 6 の表面上にホトレジスト（不図示）を形成した後、ホトリソグラフィ工程を行って、第 1 及び第 2 電極パッド 1 4 a、1 4 b の表面、すなわち、頂面に対応する絶縁膜 1 6 の部分を開口する（図 2 (A)）。

【 0 0 5 4 】

その後、半導体チップの主表面 1 5 a 側を覆うように、例えば、銅（C u）膜をスパッタ等によって形成した後、ホトリソグラフィ工程を行って第 2 再配線層 2 1 を形成する。それぞれの第 2 配線層 2 1 の形成位置は、第 1 及び第 2 半田ボール（2 2，2 4）を所望位置に配置可能とする位置とする（図 2 (B)）。

【 0 0 5 5 】

続いて、各第 2 再配線層 2 1 上に、銅からなる第 1 突出部（第 1 ポスト部）2 6 と第 2 突出部（第 2 ポスト部）3 2 とを電解メッキ法等によってそれぞれ形成する（図 2 (C)）。こうして、半導体チップの主表面 1 5 a 上に、この面と実質直交するように突出された第 1 突出部 2 6 を有する第 1 配線部 3 5、及び同じく当該面と実質直交するように突出された第 2 突出部 3 2 を有する第 2 配線部 3 7 が得られる。

【 0 0 5 6 】

その後、ブレード（切削工具）等によって各半導体チップ 1 5 毎に個片化し、半導体チップ 1 5 上に、第 1 及び第 2 配線部 3 5、3 7 を具える第 1 積層体 5 0 を得る（図 2（D））。

【 0 0 5 7 】

さらに、好ましくは、得られた第 1 積層体 5 0 のうち絶縁膜 1 6 の露出面に対し、後述する第 3 積層体形成工程を行う前までに、第 2 の表面改質工程を実施するのが良い。この表面改質工程は、絶縁膜 1 6 の露出している表面に対する極性基導入処理である。

【 0 0 5 8 】

この極性基導入は、プラズマ処理によって行われ、この処理によって、絶縁膜 1 6 の露出面に付着している有機物を除去し、かつ当該絶縁膜 1 6 の露出面に極性基を形成する。これにより、露出している、絶縁膜 1 6 の表面と後工程で形成される封止層 4 0 との密着性を向上させることができる。また、この極性基導入処理は、処理条件として、例えば、酸素プラズマ出力を 0. 1 KW から 1 KW の範囲内の値とし、処理時間を 3 0 秒から 1 8 0 秒の範囲内の値とし、処理温度を 5 0℃ から 1 0 0℃ の範囲内の値で行うことができる。

【 0 0 5 9 】

次に、第 2 積層体形成工程によって、仮基板 6 3 とこの仮基板 6 3 上に設けられた第 1 再配線層 2 0 と第 1 導電部 3 1 とを有する第 2 積層体 6 0 を形成する。この場合、先ず、仮基板 6 3 を用意する。この仮基板 6 3 は、好ましくは、シリコン基板 6 1 とその表層として設けられた絶縁層であるポリイミド膜 6 2 とによって構成するのが良い。また、この仮基板 6 3 は、半導体チップ 1 5 の外形寸法よりも大きなチップ搭載面を有する。尚、当該搭載面のうち、半導体チップ 1 5 が実際に載置される面領域を搭載領域または載置面とも称する。

【 0 0 6 0 】

次に、第 1 再配線層 2 0 を、仮基板 6 3 の該搭載面上の所定位置に、第 1 積層体 5 0 を搭載したとき、第 1 積層体 5 0 側のそれぞれ対応するすなわち接続が指定されている、第 1 積層体 5 0 の第 1 配線部 3 5 とそれぞれ接触可能となるように、配置して設ける。さらに、これら第 1 再配線層 2 0 を、仮基板 6 3 の搭載面

上を、第1積層体50の対向領域内から非対向領域内へと延在するように、配置して設ける。

【0061】

また、このとき、仮基板63上に、第1再配線層20と同一材料からなる第1導電部31を、それぞれ対応するすなわち接続が指定されている、第1積層体50の第2配線部37と接触可能となる位置に同時に形成する。これら第1再配線層20及び第1導電層31は、例えば、ポリイミド膜62上にスパッタ等によって銅膜形成した後、ホトリソグラフィ工程を行うことにより同時形成することができる。

【0062】

このように、第1半田ボール22をさらに所望位置に配置可能とするための第1再配線層20が得られる。尚、この第2積層体60の形成には、前述の第1積層体50の形成と同一のWCSP配線プロセスを適用できるので、半導体装置の製造コストの上昇を抑制できる。

【0063】

このようにして、各第1積層体50に対応する第1再配線層20及び第1導電部31が共通の仮基板63上に形成された、第2積層体60を得る（図3（A））。さらに、この構成例では、スパッタ等によって絶縁層62上に銅膜を形成する前に、第1の表面改質工程として、絶縁層62の表面に対する灰化处理（アッシング）等を行っておくのが好ましい。

【0064】

そうすることにより、当該絶縁層62の表面には炭化した有機物等からなる灰化層が形成される。これにより、露出している絶縁層62の表面と後工程にて形成される封止層40との密着性を低下させることができ、剥離工程が容易になされる。また、この灰化处理は、処理条件として、例えば、酸素プラズマ出力を2KWから5KWの範囲内の値とし、処理時間を200秒から5000秒の範囲内の値とし、酸素プラズマ、処理温度を50℃から100℃の範囲内の値で行うことができる。

【0065】

次に、接合工程として、上述した仮基板 6 3 上の搭載面上の所定領域に、すなわち搭載領域に、第 1 積層体 5 0 を搭載して、第 1 再配線層 2 0 と第 1 配線部 3 5 とを接触させるとともに、第 1 導電部 3 1 と第 2 配線部 3 7 とを接触させる。

【 0 0 6 6 】

然る後、図 3 (B) に示すように、第 1 配線部 3 5 が有する第 1 突出部 2 6 と第 1 再配線層 2 0 との接触部分、及び第 2 配線部 3 7 が有する第 2 突出部 3 2 と第 1 導電部 3 1 との接触部分を、例えば、半田等を用いてそれぞれ接合する。

【 0 0 6 7 】

さらに、この構成例では、第 1 及び第 2 配線部 (3 5 、 3 7) 、第 1 再配線層 2 0 及び第 1 導電部 3 1 のそれぞれの露出している表面に対し、第 3 積層体形成工程を行う前までに、第 3 の表面改質工程として、酸化処理を行っておくのが好ましい。

【 0 0 6 8 】

この表面酸化処理により、第 1 及び第 2 配線部 (3 5 、 3 7) 、第 1 再配線層 2 0 及び第 1 導電部 3 1 の露出面に酸化膜が形成される。この酸化膜により、露出している第 1 及び第 2 配線部 (3 5 、 3 7) 、第 1 再配線層 2 0 及び第 1 導電部 3 1 の表面と後工程で形成される封止層 4 0 との密着性を向上させることができる。また、この酸化処理 (熱酸化処理) は、例えば、大気雰囲気中で処理温度を 5 0 ° C から 1 0 0 ° C の範囲内の値とし、及び処理時間を 1 0 分から 6 0 分の範囲内とする処理条件下で行うことができる。この他に酸化処理を、他の処理条件、すなわち、例えば、窒素 (N₂) 雰囲気中で処理温度を 1 5 0 ° C から 2 0 0 ° C の範囲内の値とし、及び、処理時間を 3 0 分から 1 2 0 分の範囲内の値で行うこともできる。

【 0 0 6 9 】

次に、第 3 積層体形成工程として、上述した接合工程の後、第 1 積層体 5 0 と第 1 再配線層 2 0 とを封止層で覆い (封止) 、第 1 積層体 5 0 及び第 2 積層体 6 0 を含む第 3 積層体 7 0 を形成する。

【 0 0 7 0 】

このため、先ず、第 1 積層体 5 0 、第 1 再配線層 2 0 及び第 1 導電部 3 1 が埋

設されるように、スピン塗布等によりエポキシ樹脂を塗布して封止層 4 0 を形成する。その後、キュアリングによりエポキシ樹脂を硬化させて、第 3 積層体 7 0 を得る（図 3（C））。

【 0 0 7 1 】

次に、剥離工程として、第 3 積層体 7 0 から仮基板 6 3 を剥離する。

【 0 0 7 2 】

そこで、例えば、第 1 積層体 5 0 の対向する 2 つの面のうち、半導体チップ 1 5 の電極パッド（1 4 a、1 4 b）形成面（主表面）とは反対側の面（図中 X で示す裏面）を真空吸引装置を用いて吸引するか、或いは、第 2 積層体 6 0 の対向する 2 つの面のうち、絶縁層 6 2 の形成面（搭載面）とは反対側の面（図中 Y で示す裏面）を真空吸引装置を用いて吸引するかによって、第 1 積層体 5 0 側か又は第 2 積層体 6 0 側のいずれか一方を他方から遠ざかるように引き離して剥離する。

【 0 0 7 3 】

第 3 積層体 7 0 から仮基板 6 3 のみが引き剥がされることにより、第 1 再配線層 2 0 及び第 1 導電部 3 1 が第 1 積層体 5 0 側に転写される。

【 0 0 7 4 】

その結果、封止層 4 0 によって、第 1 再配線層基材（インターポーザ）に対応する部分が一括形成された第 4 積層体 8 0 が得られる（図 4（A））。

【 0 0 7 5 】

また、この剥離工程を行う前の段階で、上述した第 1 ～第 3 の表面改質工程を適宜行っているため、この仮基板 6 3 の引き剥がしを容易に且つ信頼性良く行える。

【 0 0 7 6 】

その後、第 4 積層体 8 0 における裏面 X と対向する面全面にポリイミド樹脂等を形成した後、ホトリソグラフィ法によって外部端子形成領域を開口して表面保護膜 4 2 を形成する。その後、開口から露出する外部端子搭載面となる第 1 再配線層 2 0 及び第 1 導電部 3 1 上に、第 1 及び第 2 半田ボール（2 2、2 4）をそれぞれリフロー形成する。尚、必要に応じて、外部端子搭載面と各半田ボール

(22、24)との間にバリアメタル層等を形成しても良い(図4(B))。

【0077】

その後、高速回転するブレード(切削工具)等(不図示)によって、半導体装置間を切断して、各半導体装置(パッケージ)10毎に切り出す(図1(B)参照)。

【0078】

上述した説明から明らかなように、この実施の形態の半導体装置とその製造方法によれば、ファンアウト部にも外部端子が配置された構造(ファンアウト構造)とすることができ、よって、通常のWCSPよりも多ピン化に対応できる半導体装置となる。

【0079】

そのため、従来の半導体装置によれば、通常のWCSPのチップサイズを多ピン化のためにのみ不所望に増大させてしまい、ウェハ1枚当たりのチップ収集数を低減させてしまっていたが、この実施の形態によれば、チップサイズに拘わらずファンアウト構造の半導体装置を得ることができる。

【0080】

また、例えば、高周波信号を伝送する場合には、WB方式に比べて当該信号の減衰を効果的に抑制でき、当該信号線の実インピーダンスと半導体チップのインピーダンスとの整合が容易に図れるため、優れた高周波特性を有する半導体装置となる。

【0081】

さらに、この実施の形態では、インターポーザを介在させてファンアウト構造とする従来例とは異なり、封止層によって当該インターポーザに対応する部分が形成されている。

【0082】

その結果、これまでのように信号の伝送経路(配線)との境界を構成する材料が複数であったために発生していた応力の集中等を抑制できるので、高信頼性が維持される半導体装置となる。

【0083】

また、封止層とインタポーザに対応する部分とを封止材によって一括形成することができるうえに、第2積層体60側の配線層（第1再配線層、第1導電部31）を転写によって第1積層体50に精度良く形成できるので製品コストを低減できる。

【0084】

<第2の実施の形態>

図5を参照して、この発明の第2の実施の形態に係る半導体装置につき説明する。

【0085】

この実施の形態では、封止層40にこの封止層40の表裏を導通する導体部が形成されており、この導体部の一端は第1再配線層20と電氣的に接続されている点が第1の実施の形態との主な相違点である。また、第1の実施の形態で既に説明した構成要素と同一の構成要素には同一の番号を付して示し、その具体的な説明を省略することもある（以下、第3～第6の各実施の形態についても同様）。

【0086】

図5に示すように、この実施の形態の半導体装置100の封止層40には、例えば、貫通孔38が設けられており、これら貫通孔38の内壁全面に導体部（例えば、銅）39が当該封止層40の表裏間を貫通するように設けられている。そして、この導体部39の一端は第1再配線層20と電氣的に接続されており、他端は封止層40から露出させておく。

【0087】

また、この実施の形態の半導体装置100の製造方法は、第1の実施の形態で説明した第2積層体形成工程において第1再配線層20を形成した後であって、接合工程の前に、当該第1再配線20上の所定位置に、ホトリソグラフィ工程及び電解メッキ法等によって銅からなる導体部39を形成しておく以外は、第1の実施の形態と同様である。尚、導体部は銅のみに限られず、例えば、樹脂材料からなるコア部を包囲するように設けられたニッケル（Ni）や金（Au）等であっても良い。

【 0 0 8 8 】

上述した説明から明らかなように、この実施の形態では、第 1 の実施の形態と同様の効果を得ることができる。

【 0 0 8 9 】

さらに、この実施の形態では、封止層 4 0 の表裏を貫通する導体部を設けたことにより各回路素子からの発熱を効果的に放熱できる。よって、各回路素子の発熱による損傷を抑制できるとともに、この発明をハイパワーデバイス等の高発熱デバイスに適用させることができる。

【 0 0 9 0 】

< 第 3 の実施の形態 >

図 6 を参照して、この発明の第 3 の実施の形態に係る半導体装置につき説明する。

【 0 0 9 1 】

この実施の形態では、導体部 3 9 の他端に、この他端と電氣的に接続される他の半導体装置 1 1 5 が半導体チップ 1 5 の厚み方向に積層されている点が第 2 の実施の形態との主な相違点である。

【 0 0 9 2 】

図 6 に示すように、この実施の形態の半導体装置（パッケージ積層型 MCP）1 1 0 は、既に説明した第 2 の実施の形態の半導体装置 1 0 0 の導体部 3 9 の他端と他の半導体装置 1 1 5 が具える半田ボール 2 5 とを、電氣的に接続させた構成である。尚、他の半導体装置 1 1 5 は、半導体装置 1 0 0 と接続可能な外部端子を具えていれば良く、構造の詳細については、この発明の本質部分ではないためその詳細な説明は割愛する。

【 0 0 9 3 】

また、この実施の形態の半導体装置 1 1 0 の製造方法は、第 2 の実施の形態の半導体装置 1 0 0 及び他の半導体装置 1 1 5 を、リフロー処理によって、互いに半田接続すれば良い。

【 0 0 9 4 】

上述した説明から明らかなように、この実施の形態では、第 1 の実施の形態と同

様の効果を得ることができる。

【 0 0 9 5 】

さらに、この実施の形態では、例えば、半導体装置 1 0 0 を D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) を具える構成とし、他の半導体装置 1 1 5 をフラッシュメモリを具える構成とするなどして、より高密度実装が実現されたパッケージ積層型 M C P が得られる。

【 0 0 9 6 】

また、従来の W B 方式のパッケージ積層型半導体装置では困難であったファンイン構造が可能となるため、パッケージサイズの小型化及び薄膜化を図ることができる。

【 0 0 9 7 】

< 第 4 の実施の形態 >

図 7 を参照して、この発明の第 4 の実施の形態に係る半導体装置につき説明する。

【 0 0 9 8 】

この実施の形態では、半導体チップのうち配線部 (3 5 、 3 7) が突設される面と対向する面、すなわち、裏面 X (図 4 (A) 参照) には導電層 4 1 が形成されており、この導電層 4 1 は導体部 3 9 の他端と電氣的に接続されている点が第 2 の実施の形態との主な相違点である。

【 0 0 9 9 】

図 7 に示すように、この実施の形態の半導体装置 1 2 0 は、当該半導体装置の裏面 X、すなわち、半導体チップ 1 5 の裏面の少なくとも一部領域に導電部 3 9 と電氣的に接続される導電層 4 1 を具えている。

【 0 1 0 0 】

例えば、完全空乏化型の S O I (S i l i c o n o n i n s u l a t o r) C M O S のなかには、僅かな電源電圧変動によってその安定動作が確保されないことから、裏面電位を必要とするものがある。

【 0 1 0 1 】

そこで、この構成例では、完全空乏化型 S O I の C M O S 等の安定動作を確保

させるために、半導体チップ 1 5 の裏面を所望電位（電源或いは接地（グランド）電位）とするための導電層 4 1 が設けられている。尚、この導電層 4 1 として、例えば、銅、ニッケル、金、パラジウム（P d）及びチタン（T i）のいずれか一つからなる層若しくはこれら各層を複数積層させた層とすることができる。

【0 1 0 2】

また、この実施の形態の半導体装置 1 2 0 の製造方法は、例えば、第 2 の実施の形態によって得られた半導体装置 1 0 0 を裏返し、露出する半導体チップ 1 5 の裏面に対して任意好適な成膜方法（スパッタ等）で導電層 4 1 を形成する。

【0 1 0 3】

上述した説明から明らかなように、この実施の形態では、第 1 の実施の形態と同様の効果を得ることができる。

【0 1 0 4】

さらに、この実施の形態では、半導体チップ 1 5 に裏面電位（例えば、電源または接地電位）をとるための導電層 4 1 が設けられているため、この実施の形態の構成を、裏面電位が必要な半導体装置に対し好適に適用して、この半導体装置の所望の電気的特性を保証できる。

【0 1 0 5】

<第 5 の実施の形態>

図 8 を参照して、この発明の第 5 の実施の形態に係る半導体装置につき説明する。この実施の形態では、第 1 外部端子である第 1 半田ボール 2 2 同士間の距離（すなわちピッチ）が、第 2 外部端子である第 2 半田ボール 2 4 同士間の距離（すなわちピッチ）よりも長くなるように設けられている点が第 1 の実施の形態との主な相違点である。

【0 1 0 6】

図 8 に示すように、この実施の形態の半導体装置 1 3 0 は、ファンアウト部に形成された隣合う第 1 半田ボール 2 2 の間隔 r を、ファンイン部に形成された隣合う第 2 半田ボール 2 4 の間隔 s よりも長くなるように設けてある。

【0 1 0 7】

実装面に配置する半田ボール数の増量（すなわち多ピン化）に伴い、当該半田

ボール間距離もある程度狭められた配置設計となる場合がある。

【0108】

このようなとき、各外部端子に対応する実装基板（例えば、プリント基板）の配線を引き回すために、当該実装基板にはラインアンドスペースが狭められた高密度なものが要求される。しかし、高密度な配線パターンニングが施された実装基板は高価であり、製造コストを低減する観点から望ましくない。

【0109】

そこで、この構成例では、第1半田ボール22の間隔 r を第2半田ボール24の間隔 s に比して拮げて設けてあるので、ラインアンドスペースの緩和を顕著に図ることができるとともに、安価な実装基板を使用することができる。

【0110】

上述した説明から明らかなように、この実施の形態では、第1の実施の形態と同様の効果を得ることができる。

【0111】

さらに、この実施の形態では、第1の実施の形態に比べて安価な実装基板を使用でき、よって、第1の実施の形態よりも製品コストを低減できる。

【0112】

<第6の実施の形態>

図9を参照して、この発明の第6の実施の形態に係る半導体装置につき説明する。

【0113】

この実施の形態では、第1半田ボール22の直径が、第2半田ボール24の直径よりも大きくなるように設けられている点が第5の実施の形態との主な相違点である。

【0114】

図9に示すように、この実施の形態の半導体装置140は、ファンアウト部に形成された第1半田ボール22の直径 t が、ファンイン部に形成された第2半田ボール24の直径 u よりも大きくなるように設けてある。

【0115】

実装基板に対して実装された半田ボール（２２、２４）のうち、特に、外側に形成される第１半田ボール２２は、半導体装置駆動時の温度変動や衝撃等のダメージを受け易く、断線を引き起こす場合もある。

【０１１６】

そこで、この構成例では、ダメージを受け易い第１半田ボール２２の直径 t を、第２半田ボール２４の直径 u よりもあらかじめ大きく設けることにより、周辺環境の変動等から第１半田ボール２２を効果的に保護することができる。

【０１１７】

上述した説明から明らかなように、この実施の形態では、第５の実施の形態と同様の効果を得ることができる。

【０１１８】

さらに、この実施の形態では、第５の実施の形態よりも実装基板に対する半田ボールの接続を確実に維持することができる。

【０１１９】

以上、この発明は、上述した実施の形態の組合せのみに限定されない。よって、任意好適な段階において好適な条件を組み合わせ、この発明を適用することができる。

【０１２０】

例えば、上述した各実施の形態では、ファンイン／ファンアウト構造を有する半導体装置について説明したが、目的や設計に応じてファンアウト構造のみを有する場合であっても良い。

【０１２１】

【発明の効果】

上述した説明から明らかなように、この発明によれば、半導体チップ上方すなわち真上（ファンイン部）はもとより半導体チップ上方以外の領域（ファンアウト部）にも外部端子を配置できる構造となるため、通常のWCSPに比べて多ピン化に対応可能なファンアウト構造の半導体装置を得ることができる。

【０１２２】

また、こうして得られる半導体装置は、半導体チップと外部端子とを上述した

ような再配線層を介して電氣的に接続することができるので、WB方式を採用する構造に比べて優れた高周波特性を有するものとなる。

【図面の簡単な説明】

【図 1】

(A) は、この発明の第 1 の実施の形態の半導体装置を示す概略平面図であり、(B) は、この発明の第 1 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 2】

(A) ～ (D) は、この発明の第 1 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 3】

(A) ～ (C) は、この発明の第 1 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 4】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 5】

この発明の第 2 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 6】

この発明の第 3 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 7】

この発明の第 4 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 8】

この発明の第 5 の実施の形態の半導体装置の一部を示す概略断面図である。

【図 9】

この発明の第 6 の実施の形態の半導体装置の一部を示す概略断面図である。

【符号の説明】

1 0、1 0 0、1 1 0、1 2 0、1 3 0、1 4 0 : 半導体装置

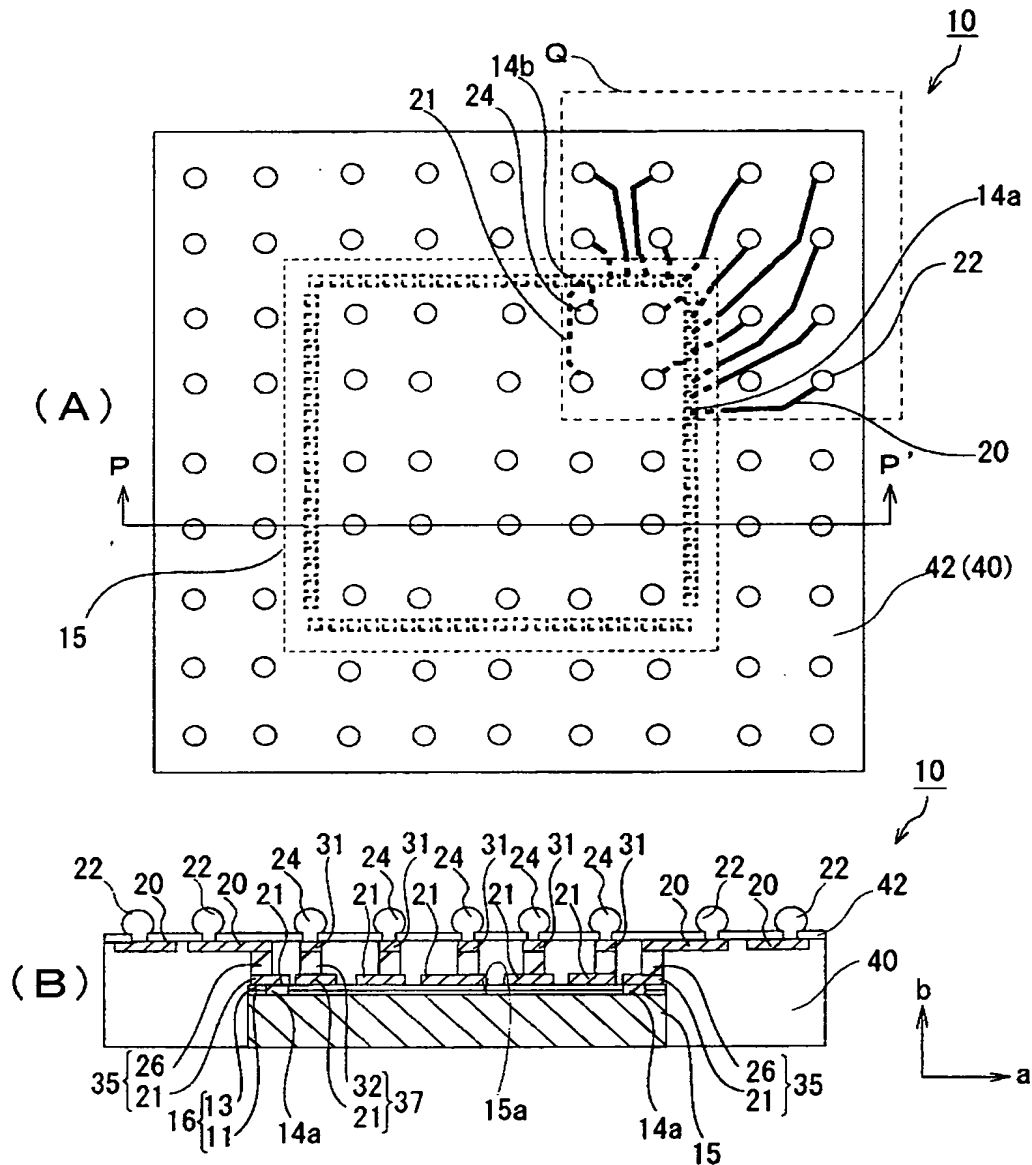
1 1 : シリコン酸化膜

- 1 3 : ポリイミド樹脂
- 1 4 a : 第 1 電極パッド
- 1 4 b : 第 2 電極パッド
- 1 5 : 半導体チップ
- 1 5 a : 半導体チップの主表面
- 1 6 : 絶縁膜
- 2 0 : 第 1 配線層 (第 1 再配線層)
- 2 1 : 第 2 配線層 (第 2 再配線層)
- 2 2 : 第 1 半田ボール (第 1 外部端子)
- 2 3 : ウェハ
- 2 4 : 第 2 半田ボール (第 2 外部端子)
- 2 5 : 半田ボール
- 2 6 : 第 2 導電部 (第 1 ポスト部 (第 1 突出部))
- 3 1 : 第 1 導電部
- 3 2 : 第 2 導電部 (第 2 ポスト部 (第 2 突出部))
- 3 5 : 第 1 配線部
- 3 7 : 第 2 配線部
- 3 8 : 貫通孔
- 3 9 : 導体部
- 4 0 : 封止層
- 4 1 : 導電層
- 4 2 : 表面保護膜
- 5 0 : 第 1 積層体
- 6 0 : 第 2 積層体
- 6 1 : シリコン基板
- 6 2 : ポリイミド膜 (絶縁層)
- 6 3 : 仮基板
- 7 0 : 第 3 積層体
- 8 0 : 第 4 積層体

1 1 5 : 他の半導体装置

【書類名】 図面

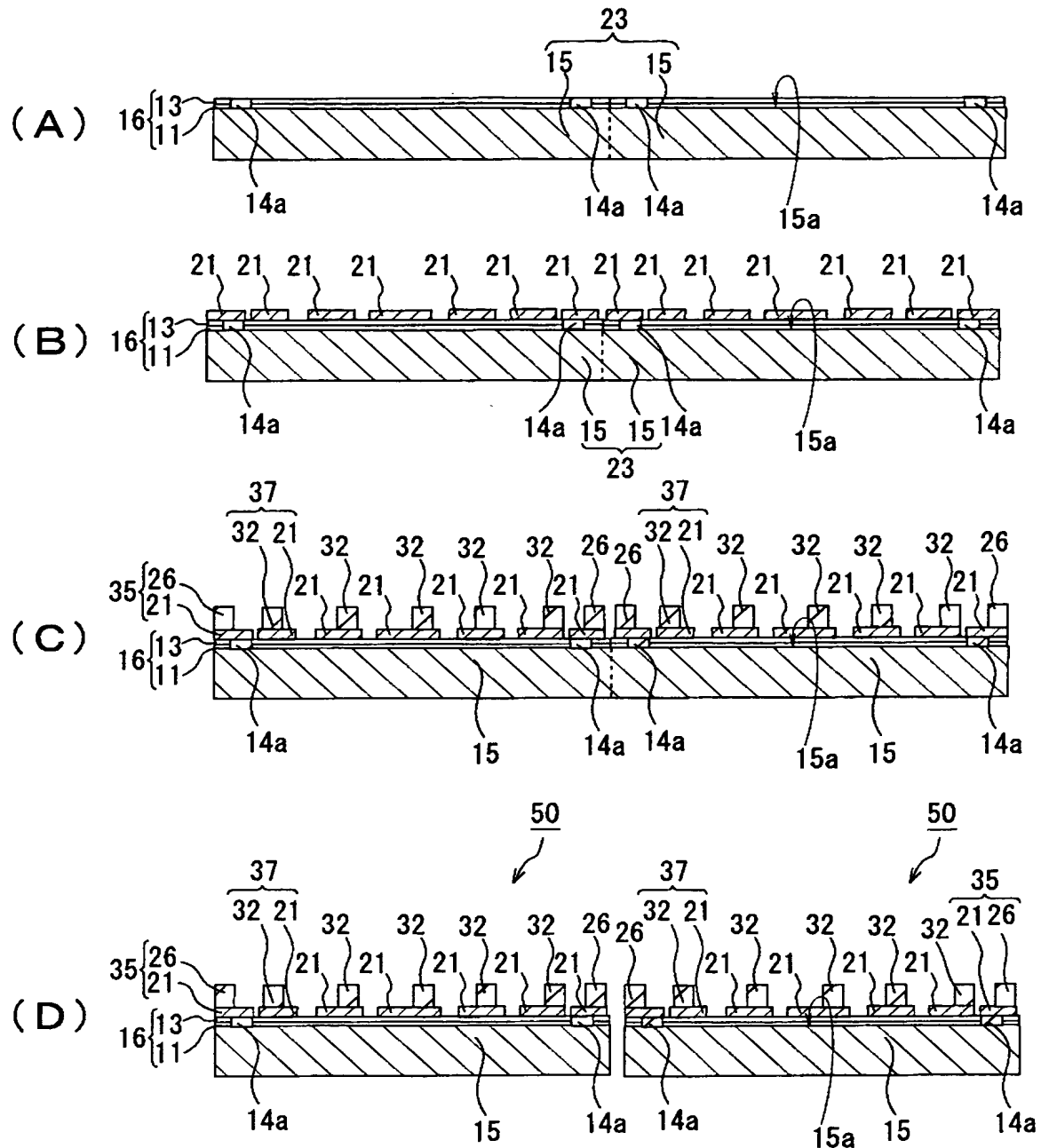
【図 1】



10: 半導体装置 11: シリコン酸化膜 13: ポリイミド樹脂膜
 14a: 第1電極パッド 14b: 第2電極パッド 15: 半導体チップ 15a: 主表面
 16: 絶縁膜 20: 第1配線層 (第1再配線層) 21: 第2配線層 (第2再配線層)
 22: 第1半田ボール (第1外部端子) 24: 第2半田ボール (第2外部端子)
 26: 第2導電部 (第1ポスト部 (第1突出部))
 31: 第1導電部 32: 第2導電部 (第2ポスト部 (第2突出部))
 35: 第1配線部 37: 第2配線部 40: 封止層 42: 表面保護膜

この発明の第1の実施の形態の半導体装置

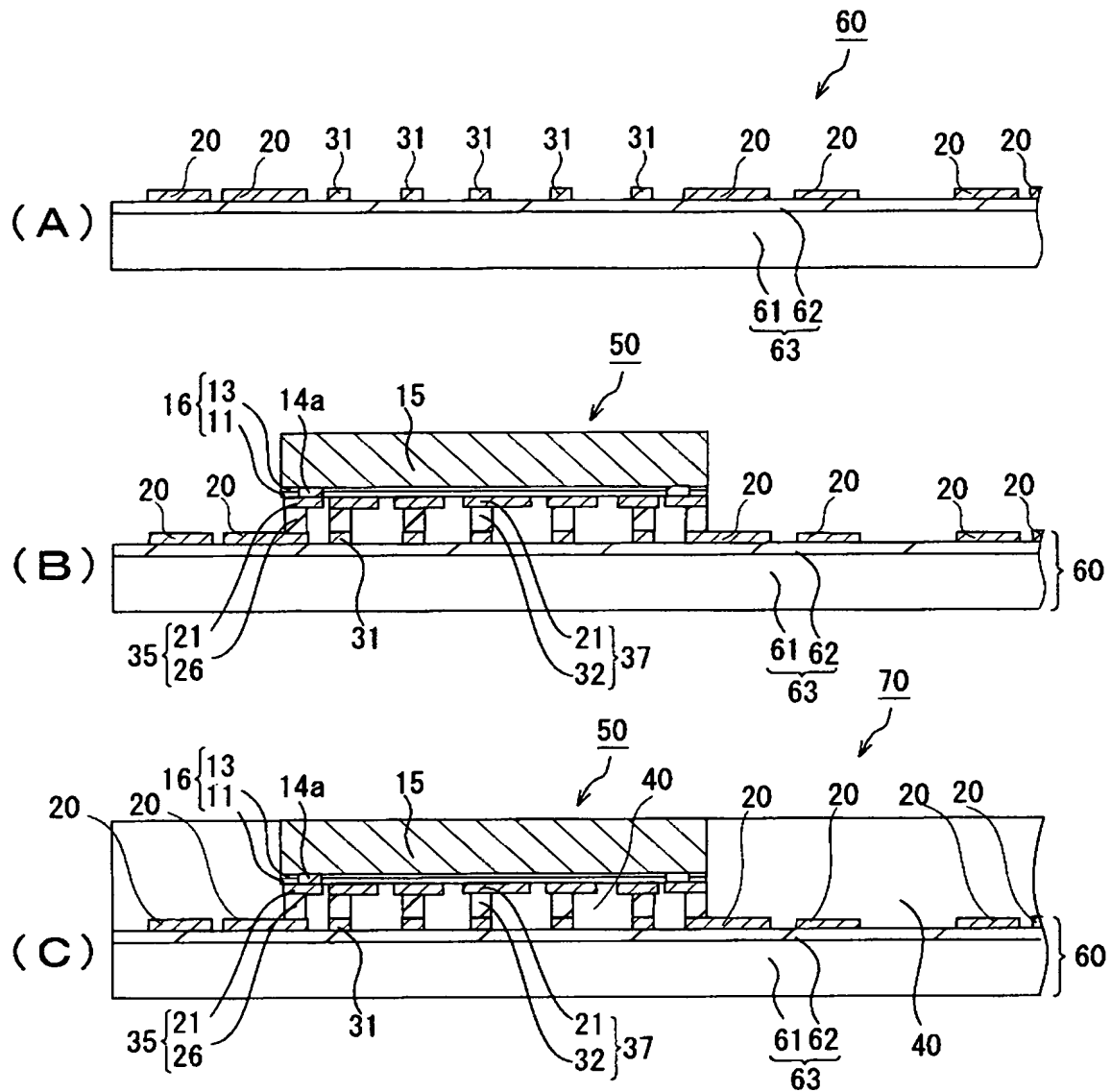
【図 2】



23:ウェハ 50:第1積層体

この発明の第1の実施の形態の半導体装置の製造工程

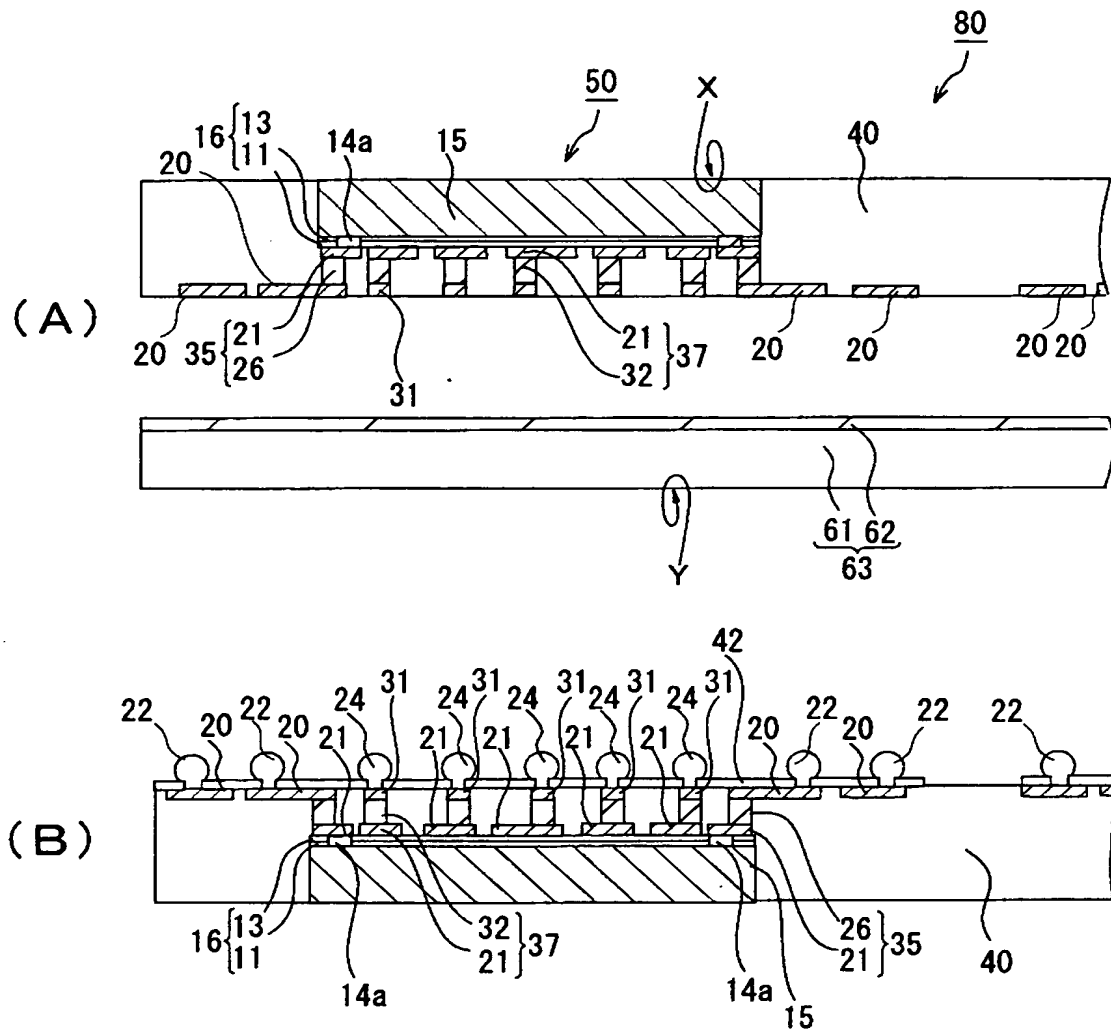
【図 3】



60:第2積層体 61:シリコン基板 62:ポリイミド膜(絶縁層)
63:仮基板 70:第3積層体

この発明の第1の実施の形態の半導体装置の製造工程

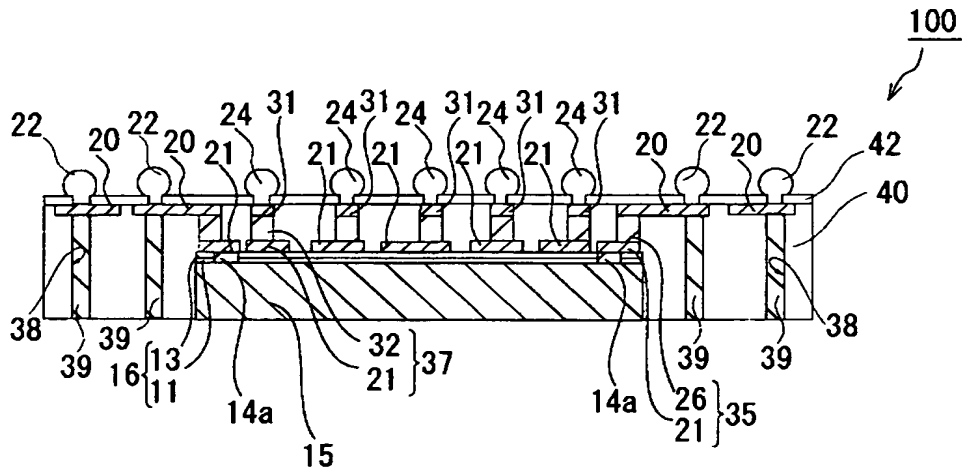
【図 4】



80: 第 4 積層体

この発明の第 1 の実施の形態の半導体装置の製造工程

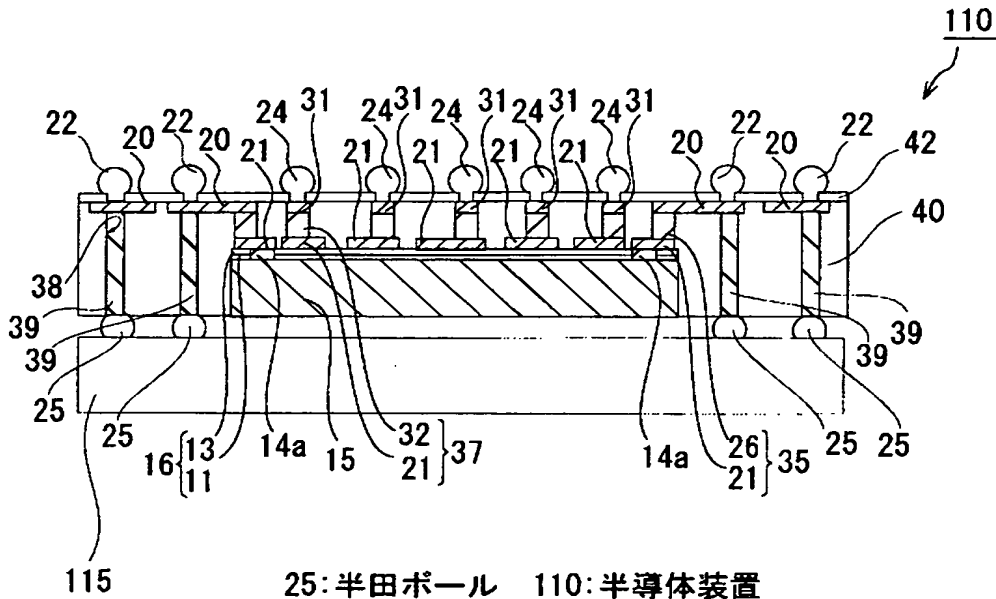
【図 5】



38: 貫通孔 39: 導体部 100: 半導体装置

この発明の第 2 の実施の形態の半導体装置

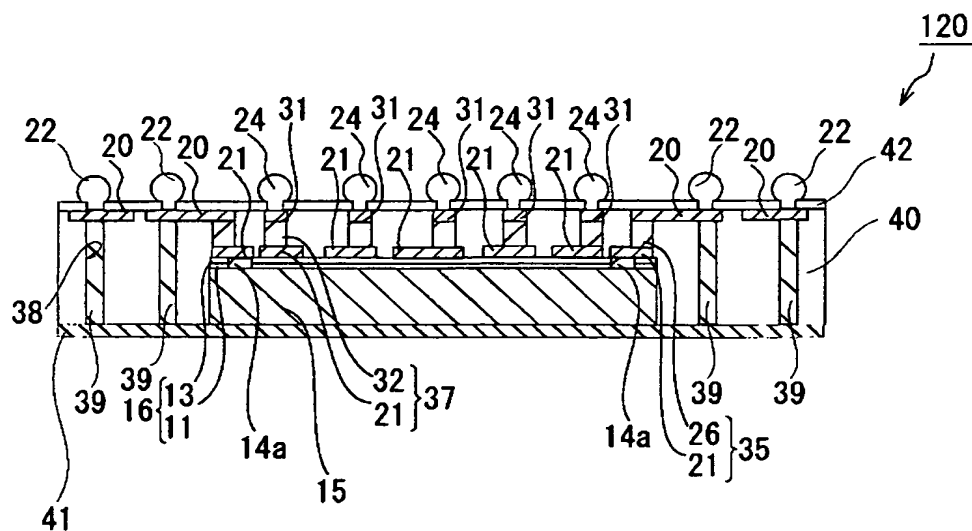
【図 6】



25: 半田ボール 110: 半導体装置
115: 他の半導体装置

この発明の第 3 の実施の形態の半導体装置

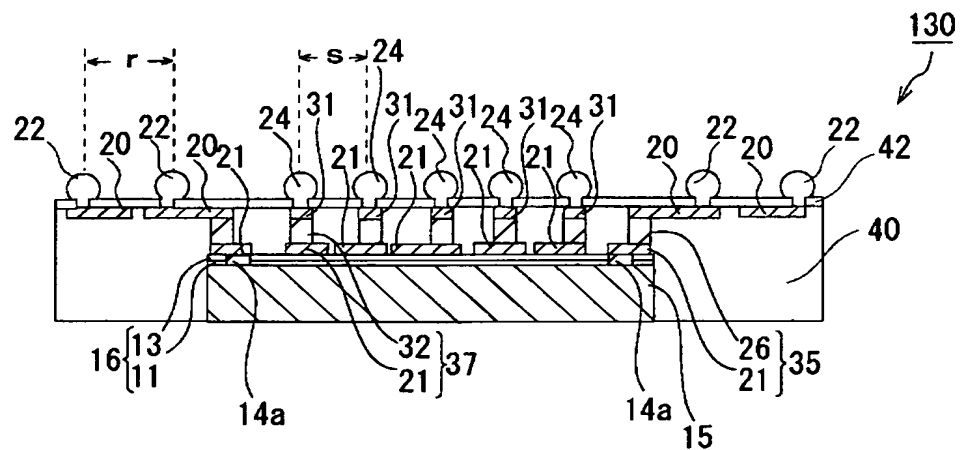
【图 7】



41:導電層 120:半導體裝置

この発明の第 4 の実施の形態の半導体装置

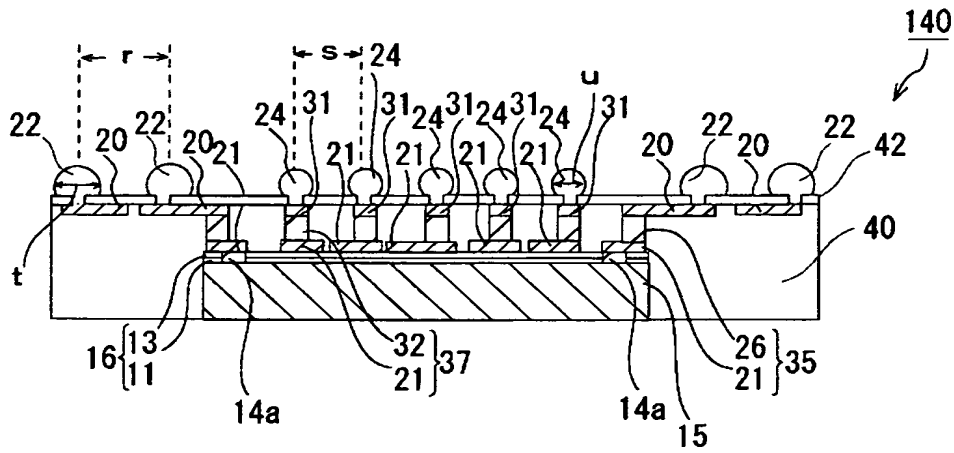
【圖 8】



130: 半導體裝置

この発明の第 5 の実施の形態の半導体装置

【図 9】



140: 半導体装置

この発明の第 6 の実施の形態の半導体装置

【書類名】 要約書

【要約】

【課題】 実装面上に配置可能な外部端子の増加（多ピン化）に対応し得る半導体装置を提供する。

【解決手段】 第 1 電極パッド 1 4 a をその主表面に具える半導体チップ 1 5 と、この電極パッドの表面が露出されるように形成された絶縁膜 1 6 と、第 1 電極パッドと電氣的に接続されるとともに主表面に対し鉛直方向に上方へ突出する第 1 突出部（第 1 ポスト部）である第 2 導電部 2 6 を有する第 1 配線部 3 5 と、この第 1 配線部と電氣的に接続されるとともに当該第 1 配線部の突出方向と実質直交する方向に延在する第 1 再配線層 2 0 とを具える。半導体チップの主表面の上方から半導体チップを平面的に見たときに、第 1 再配線層は半導体チップの平面的領域内からその領域の輪郭線を越えた当該領域外へと延在している。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 3 2 5 7 6 9
受付番号	5 0 2 0 1 6 9 2 8 4 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 1 1 日

< 認定情報・付加情報 >

【提出日】 平成14年11月 8日

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社